

AL

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-189999

(43)公開日 平成10年(1998)7月21日

(51) Int.Cl.
H 01 L 29/786
21/336

識別記号

F I
H 01 L 29/78
612B
617N
627Z

審査請求 未請求 請求項の数7 FD (全8頁)

(21)出願番号 特願平8-355286
(22)出願日 平成8年(1996)12月20日

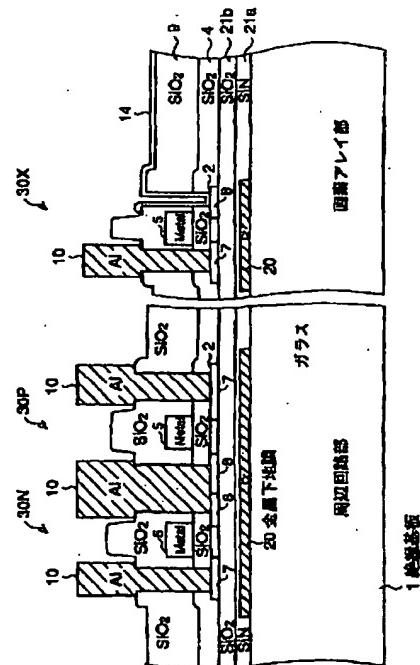
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 林 久雄
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 表示用薄膜半導体装置

(57)【要約】

【課題】 表示用薄膜半導体装置に集積形成される薄膜トランジスタを絶縁基板から電気的に遮蔽するとともに、光学的な遮蔽も行なう。

【解決手段】 表示用薄膜半導体装置は金属下地膜20と薄膜トランジスタ30N, 30P, 30Xと画素電極14とを備えている。金属下地膜20は絶縁基板1上に所定のパターンで形成されている。各薄膜トランジスタは絶縁層21a, 21bを介して金属下地膜20の上に位置し、半導体薄膜2とゲート電極5とをゲート絶縁膜4を挟んで重ねた積層構造である。画素電極14は薄膜トランジスタ30Xに接続している。金属下地膜20は固定電位に保持されるとともに、マトリクス状に配列した個々の画素電極14の周辺を囲む様にパタニングされている。半導体薄膜2はレーザ光の照射により結晶化された多結晶構造を有する。



【特許請求の範囲】

【請求項1】 絶縁基板上に所定のパターンで形成された金属下地膜と、絶縁層を介して該金属下地膜の上に位置し半導体薄膜とゲート電極とをゲート絶縁膜を挟んで重ねた積層構造からなる薄膜トランジスタと、該薄膜トランジスタに接続して設けた画素電極とを備えた表示用薄膜半導体装置。

【請求項2】 前記薄膜トランジスタは、上から順にゲート電極、ゲート絶縁膜及び半導体薄膜を重ねたトップゲート構造を有することを特徴とする請求項1記載の表示用薄膜半導体装置。

【請求項3】 前記薄膜トランジスタは、下から順にゲート電極、ゲート絶縁膜及び半導体薄膜を重ねたボトムゲート構造を有することを特徴とする請求項1記載の表示用薄膜半導体装置。

【請求項4】 前記金属下地膜は固定電位に保持されていることを特徴とする請求項1記載の表示用薄膜半導体装置。

【請求項5】 前記金属下地膜はマトリクス状に配列した個々の画素電極の周辺を囲む様にパタニングされていることを特徴とする請求項1記載の表示用薄膜半導体装置。

【請求項6】 前記半導体薄膜はレーザ光の照射により結晶化された多結晶構造を有することを特徴とする請求項1記載の表示用薄膜半導体装置。

【請求項7】 所定の間隙を介して互いに接合した一对の絶縁基板と、該間隙に保持された電気光学物質とからなり、

一方の絶縁基板に対向電極を設ける一方、他方の絶縁基板上に所定のパターンで形成された金属下地膜と、絶縁層を介して該金属下地膜の上に位置し半導体薄膜とゲート電極とをゲート絶縁膜を挟んで重ねた積層構造からなる薄膜トランジスタと、該薄膜トランジスタに接続して設けた画素電極とを設けたことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は多結晶シリコンなどを活性層とする薄膜トランジスタを集積形成した表示用薄膜半導体装置に関する。より詳しくは、600°C以下の低温プロセスで作成される多結晶シリコン薄膜トランジスタの構造に関する。

【0002】

【従来の技術】 薄膜半導体装置は表示用としてアクティブラチカル型液晶ディスプレイなどの駆動基板に好適であり、現在盛んに開発が進められている。薄膜トランジスタの活性層には多結晶シリコン又は非晶質シリコンが用いられる。特に、多結晶シリコン薄膜トランジスタは小型で高精細のアクティブラチカル型カラー液晶表

示装置が実現でき、注目を集めている。透明なガラスなどからなる絶縁基板上に画素スイッチング素子として薄膜トランジスタを形成する為、従来の半導体技術では電極材料や抵抗材料としてのみ活用されていた多結晶シリコン薄膜を活性層に利用する技術である。市場で求められる画像品位を実現する為の高密度設計が可能な高性能のスイッチング素子用薄膜トランジスタを実現できる唯一の技術である。これは同時に、従来外付けのICを用いていた周辺回路部を画素アレイ部と同一基板上に同一プロセスで形成することも可能にした。非晶質シリコン薄膜トランジスタでは実現できなかった高精細で且つ周辺回路部一体型のアクティブラチカル型液晶ディスプレイが実現できる。

【0003】 多結晶シリコンは非晶質シリコンに比べキャリア移動度が大きい為、多結晶シリコン薄膜トランジスタの電流駆動能力が高くなり、高速駆動が必要な水平走査回路及び垂直走査回路などの周辺回路部を画素スイッチング用の薄膜トランジスタと同一基板上に同時に作り込むことができる。従って、表示用薄膜半導体装置から外部に取り出す信号線の本数を大幅に削減することができる。また、Nチャネル型及びPチャネル型の薄膜トランジスタを集積形成したCMOS回路をオンチップ化でき、レベルシフト回路の内蔵が可能になりタイミング系信号の低電圧駆動ができる。

【0004】 薄膜トランジスタのデバイス技術及びプロセス技術としては、従来から1000°C以上の処理温度を採用した高温プロセス技術が確立されている。この高温プロセスの特徴は、石英など高耐熱性基板の上に成膜された半導体薄膜を固相成長により改質する点である。固相成長法は1000°C以上の温度で半導体薄膜を熱処理する方法であり、成膜段階では微小なシリコン結晶の集合である多結晶シリコンに含まれる一個一個の結晶粒を大きくする。この固相成長法により得られた多結晶シリコンは $100\text{ cm}^2/\text{v.s}$ 程度の高いキャリア移動度が得られる。この様な高温プロセスを実施する為には耐熱性に優れた基板の採用が必須であり、従来から高価な石英などを用いていた。しかしながら、石英は製造コスト低減化の観点からは不利である。

【0005】 上述した高温プロセスに代えて、600°C以下の処理温度を採用した低温プロセスが開発されている。薄膜半導体装置の製造工程を低温プロセス化する方法の一環として、レーザビームを用いたレーザアニールが注目を集めている。これは、ガラスなどの低耐熱性絶縁基板上に成膜された非晶質シリコンや多結晶シリコンなど非単結晶性の半導体薄膜にレーザビームを照射して局部的に加熱溶融した後、その冷却過程で半導体薄膜を結晶化するものである。この結晶化した半導体薄膜を活性層（チャネル領域）として多結晶シリコン薄膜トランジスタを集積形成する。結晶化した半導体薄膜はキャリアの移動度が高くなる為ある程度薄膜トランジスタを高

性能化できる。

【0006】

【発明が解決しようとする課題】ところで、薄膜トランジスタは従来トップゲート型の構造が主流である。トップゲート構造は絶縁基板の上に半導体薄膜を成膜し、更にゲート絶縁膜を介して上方にゲート電極を形成する。低温プロセスでは低コストの大型ガラス板を絶縁基板に使用することを特徴としている。このガラス板にはNaなどの不純物金属が多く含まれている為、薄膜トランジスタを駆動する電圧に応じてNaなどが極在化する。その電界によって薄膜トランジスタの特性が変動するという課題がある。

【0007】近年ではボトムゲート型の構造が開発されている。これは、ガラス板などの絶縁基板上に金属膜などからなるゲート電極を配置し、その上にゲート絶縁膜を介して半導体薄膜を形成している。ゲート電極がガラス板中の電界を遮蔽する効果がある。また、ボトムゲート構造は非晶質シリコン薄膜トランジスタの構造と類似している為、その設備を使って製造することができるという利点がある。しかしながら、ボトムゲート構造はレーザアニールによる結晶化を行なう時に大きな問題がある。再結晶化する半導体薄膜は、概ねチャネル領域となる部分がゲート電極の直上に位置し、ソース領域及びドレイン領域となる部分はガラス板上にある。この為、レーザビームの照射によりエネルギーを与えた時、ガラス板上と金属ゲート電極上では熱の伝導状態や放散状態に相違が出てくる。よって、最適なレーザエネルギーがチャネル領域とソース領域及びドレイン領域で異なる為、大きなキャリア移動度が得られる最適エネルギーでのレーザ照射ができなくなる。

【0008】

【課題を解決する為の手段】上述した従来の技術の課題を解決する為以下の手段を講じた。即ち、本発明に係る表示用薄膜半導体装置は、絶縁基板上に所定のパタンで形成された金属下地膜と、絶縁層を介して該金属下地膜の上に位置し半導体薄膜とゲート電極とをゲート絶縁膜を挟んで重ねた積層構造からなる薄膜トランジスタと、該薄膜トランジスタに接続して設けた画素電極とを備えていることを特徴とする。一実施態様では、前記薄膜トランジスタは上から順にゲート電極、ゲート絶縁膜及び半導体薄膜を重ねたトップゲート構造を有する。他の態様では、前記薄膜トランジスタは下から順にゲート電極、ゲート絶縁膜及び半導体薄膜を重ねたボトムゲート構造を有する。好ましくは、前記金属下地膜は固定電位に維持されている。また好ましくは、前記金属下地膜はマトリクス状に配列した個々の画素電極の周辺を囲むようにパタニングされている。更に好ましくは、前記半導体薄膜はレーザ光の照射により結晶化された多結晶構造を有する。

【0009】本発明によれば、絶縁基板と薄膜トランジ

タとの間に金属下地膜が介在している。この為、絶縁基板中の不純物金属の極在化などに起因する電界を金属下地膜で有効に遮蔽することが可能である。この金属下地膜の機能は特にトップゲート構造の薄膜トランジスタを形成する場合に有力である。また、本発明によれば金属下地膜の上に半導体薄膜が延在している。従って、レーザアニールによる結晶化を行なう場合、熱的な条件が均一化され、最適なエネルギーでチャネル領域の結晶化を図ることが可能になる。金属下地膜のこの機能は特にボトムゲート構造の薄膜トランジスタを形成する場合に効果的である。金属下地膜は遮光性を備えている為ブラックマトリクスとして用いることができる。特に、トップゲート構造の場合、半導体薄膜は下側の金属下地膜と上側のゲート電極によって上下から遮光される為、プロジェクターに用いる場合など強い光源光を照射しても薄膜トランジスタの特性変動がない。

【0010】

【発明の実施の形態】以下図面を参照して本発明の実施形態を詳細に説明する。図1は本発明に係る表示用薄膜半導体装置の第1実施形態を示す模式的な部分断面図である。本図は理解を容易にする為、画素アレイ部に1個の薄膜トランジスタ30Xを示し、周辺回路部に2個の薄膜トランジスタ30N, 30Pを示してある。一方の薄膜トランジスタ30NはNチャネル型であり、他方の薄膜トランジスタ30PはPチャネル型である。これら一対のNチャネル型及びPチャネル型薄膜トランジスタはCMOS回路を構成する場合に必要となる。画素アレイ部及び周辺回路部に形成された薄膜トランジスタ30X, 30N, 30Pは何れもトップゲート構造を有している。図示する様に、本表示用薄膜半導体装置は、ガラス板などからなる絶縁基板1の上に金属下地膜20が所定のパタンで形成されている。金属下地膜20はCr, Ta, Mo, Wなどの高融点金属材料を用いる。これらはアルミニウムなどに比べ光反射率が低く、熱伝導率も比較的低い。本実施形態では金属下地膜20としてCrを用いている。金属下地膜20は絶縁層により覆われている。この絶縁層はSiN膜21aとSiC₂膜21bの積層構造を有し、絶縁基板1中に含まれるリチウム、ナトリウム、ボロン、アルミニウム又はカリウムの上方拡散を防止している。絶縁層の上に非晶質シリコン又は多結晶シリコンからなる半導体薄膜2がCVD法により成膜されている。この半導体薄膜2は金属下地膜20のパタンと整合してパタニングされている。半導体薄膜2の膜厚は薄膜トランジスタの閾電圧を考慮に入れると100nm以下に設定することが必要である。薄膜トランジスタの動作特性や半導体薄膜2の結晶性を考慮すると、半導体薄膜2の膜厚は可能な限り薄くすることが有利である。出来上がりの膜厚とプロセス中における膜厚減少を考慮に入れると半導体薄膜2は40nm以下の厚みで成膜することが望ましい。この半導体薄膜2はレー

ザ光の照射により成膜段階の非単結晶から多結晶に転換されている。多結晶化された半導体薄膜2はCVD法で成長させたSiO₂からなるゲート絶縁膜4により被覆されている。ゲート絶縁膜4の上にはゲート電極5がパタニングされている。ゲート電極5の材料としては、Al, Mo, Wなどの金属(Metal)又は金属シリサイドが使われる。今後の高性能化を考えるとシリサイドと金属の積層構造が理想的である。ゲート電極5をマスクとしてイオン注入法により不純物を半導体薄膜2に注入することで、各薄膜トランジスタのソース領域7及びドレイン領域8を形成する。Nチャネル型の薄膜トランジスタ30N, 30Xを形成する場合には不純物として砒素又はリンを使い、Pチャネル型の薄膜トランジスタ30Pを形成する場合には不純物としてボロンを使う。半導体薄膜2に注入された不純物は熱アニール、ランプ光による瞬時アニール、レーザアニールなどで活性化される。ゲート電極5はCVD法で堆積したSiC₂からなる層間絶縁膜9により被覆されている。この層間絶縁膜9にはソース領域7及びドレイン領域8に連通するコンタクトホールが開口している。層間絶縁膜9の上にアルミニウム(Al)をスパッタ法で堆積し、フォトレジスト法とエッチング法により所定の形状にパタニングして配線電極10に加工する。更に層間絶縁膜9の上にはITOなどの透明導電膜からなる画素電極14が形成されている。この画素電極14は層間絶縁膜9に開口したコンタクトホールを介して薄膜トランジスタ30Xのドレイン領域8に接続している。

【0011】以上説明した様に、本発明に係る表示用薄膜半導体装置は絶縁基板1上に所定のバタンで形成された金属下地膜20と、絶縁層(21a, 21b)を介して金属下地膜20の上に位置し半導体薄膜2とゲート電極5とをゲート絶縁膜4を挟んで重ねた積層構造からなる薄膜トランジスタ30N, 30P, 30Xと、画素アレイ部側の薄膜トランジスタ30Xに接続して設けた画素電極14とを備えている。本実施形態では、各薄膜トランジスタ30N, 30P, 30Xは上から順にゲート電極5、ゲート絶縁膜4及び半導体薄膜2を重ねたトップゲート構造を有する。なお、場合によっては画素アレイ部側の薄膜トランジスタ30XはLDD構造を有する様にしてもよい。好ましくは、金属下地膜20は固定電位に保持されている。場合によっては、画素アレイ部側に形成された金属下地膜20はマトリクス状に配列した個々の画素電極14の周辺を囲む様にパタニングされており、所謂ブラックマトリクスとして機能できる。なお、半導体薄膜2はレーザ光の照射により結晶化された多結晶構造を有している。この半導体薄膜2のチャネル領域は上下からゲート電極5及び金属下地膜20で挟まれた構造となっているので、強い入射光を照射しても電気特性の変動がない。また、各薄膜トランジスタ30N, 30P, 30Xと絶縁基板1との間に金属下地膜2

0が介在しているので、薄膜トランジスタは電界的に遮蔽され信頼性が改善できる。

【0012】図2は、図1に示した表示用薄膜半導体装置の平面形状を示す模式図である。図示する様に、絶縁基板1の最下層には金属下地膜20が所定のバタンで形成されている。絶縁基板1は画素アレイ部と周辺回路部に分かれている。画素アレイ部には金属下地膜20の上に絶縁層を介してマトリクス状に配列した画素電極14や薄膜トランジスタ30X(図示せず)が形成されている。図から明らかな様に、金属下地膜20は各画素電極14の周辺を囲む様に格子状にパタニングされており、ブラックマトリクスとして機能する。これにより、対向基板側には何らブラックマトリクスを形成する必要がなくなる。この為、絶縁基板1と対向基板との位置合わせに余裕を持たせる必要がなくなり、その分画素の開口率が高くなる。一方、周辺回路部には垂直走査回路41及び水平走査回路42が形成されている。これらの走査回路41, 42は図1に示した薄膜トランジスタ30N, 30Pを集積形成して作り込まれる。垂直走査回路41及び水平走査回路42の下には金属下地膜20がベタバタンで介在している。金属下地膜20は固定電位(例えば接地電位)保持されており、垂直走査回路41や水平走査回路42の動作を安定化する。

【0013】図3は、図2に示した平面形状の拡大図であり、1画素分を切り取って示してある。図示する様に、ゲート配線43と信号配線44が直交しており、その交差部に薄膜トランジスタ30X及び画素電極14が形成されている。直交するゲート配線43及び信号配線44に沿って金属下地膜20が格子状にパタニングされている。金属下地膜20の縁部は画素電極14の周辺に部分的に重なっている。信号配線44はソース領域側のコンタクトホール7cを介して薄膜トランジスタ30Xのソース領域に接続している。画素電極14はドレイン領域側のコンタクトホール8cを介して薄膜トランジスタ30Xのドレイン領域に接続している。半導体薄膜2のほぼ中央部にはゲート配線43から延設したゲート電極5が重なっている。

【0014】次に図4及び図5を参照して本発明に係る表示用薄膜半導体装置の製造方法を詳細に説明する。まず工程(a)で、ガラスなどからなる絶縁基板1の上にスパッタ法によりクロムからなる金属下地膜20を100nmの厚みで堆積する。金属下地膜20は遮光性があればよく、クロムに限られるものではない。後工程で行なわれるレーザアニールのエネルギーを出来るだけ逃がさないため、金属下地膜20の厚みは薄い程よい。フォトレジスト法及びエッチング法によって金属下地膜20を所定の形状にパタニングする。このバタンは画素電極の中央部に位置するクロムをエッチオフする様にする。よって、金属下地膜20がブラックマトリクス(ブラックマスク)となる。工程(b)に進み、プラズマCVD法

でSiN及びSiO₂を連続成長させ、絶縁層21とする。成膜温度は300°C~400°C程度であり、SiNの膜厚は100nm程度、SiC₂の膜厚は300nm程度である。この膜厚は重要であり、SiNは絶縁基板1からのNaの拡散を防ぐためにある程度の膜厚以上を必要とする。絶縁層21の全体としての膜厚は薄膜トランジスタの動作を考えて容量を最適化する為に決められる。工程(c)に進み、更にプラズマCVDで絶縁層21の上に半導体薄膜2を連続成膜する。この半導体薄膜2は非晶質シリコンからなり、その膜厚は40nmである。この後エキシマレーザなどのエネルギービーム3を照射して、半導体薄膜2を非晶質シリコンから多結晶シリコンに転換する。この時、薄膜トランジスタの活性層として必要な半導体薄膜2の部分は全て金属下地膜20の上に位置する様に設計しておく。この様にすればエネルギービーム3は金属下地膜20のバタンの範囲内で最適化すればよいことになる。工程(d)に進み、半導体薄膜2をアイランド状にカッティングする。その上にゲート絶縁膜4をプラズマCVD法で形成する。工程(e)に進み、ゲート絶縁膜4の上にゲート配線及びゲート金属5となる金属材料をスパッタ法で堆積する。この金属を所定の形状にパタニングすることでゲート電極5及びゲート配線(図示せず)が得られる。

【0015】図5の工程(f)に移り、ゲート電極5の形成後イオンドーピング6によりn型の不純物を高濃度で注入し、ソース領域7及びドレイン領域8を半導体薄膜2中に形成する。このイオンドーピングはゲート電極5をマスクとしてセルフアライメントにより行なわれる。これにより、トップゲート構造のNチャネル薄膜トランジスタ30Xが形成できる。更に、レーザアニールなどでソース領域7及びドレイン領域8を活性化させる。工程(g)に移り、APCVD法、LPCVD法、プラズマCVD法などを用いてSiC₂を約400~600nmの厚みで成膜し、層間絶縁膜9とする。最後に工程(h)で層間絶縁膜9にエッチングでコンタクトホールを開口する。コンタクトホールはソース領域7に連通している。続いてAlとSiの合金を約600nmの厚みで成膜し、所定の形状にパタニングして配線電極10とする。この配線電極10はコンタクトホールを介して薄膜トランジスタ30Xのソース領域7に接続している。次いでSiO₂を約400nmの厚みで成膜し、バシベーション膜11とする。このバシベーション膜11は薄膜トランジスタ及び配線電極10を被覆している。この後、必要ならば基板加熱を行ない、バシベーション膜11をキャップ膜として層間絶縁膜9に含まれる水素原子を半導体薄膜2中に拡散させて、所謂水素化処理を実施する。最後に、バシベーション膜11の表面にITOなどからなる透明導電膜を成膜し、所定の形状にパタニングして画素電極14に加工する。この画素電極14はあらかじめバシベーション膜11及び層間絶縁膜9に

開口したコンタクトホールを介して薄膜トランジスタ30Xのドレイン領域8に接続する。以上の工程により、表示用薄膜半導体装置が完成する。なお、この薄膜半導体装置を能動素子基板としてアクティブマトリクス型の表示装置を組み立てる場合には、あらかじめ対向電極が形成された別の絶縁基板を所定の間隙を介して絶縁基板1に接合し、かつこの間隙に液晶などの電気光学物質を配置すればよい。

【0016】図6は本発明に係る表示用薄膜半導体装置の第2実施形態を示す模式的な部分断面図であり、特に画素アレイ部側の薄膜トランジスタ30Xのみを表わしている。基本的な構造は図1に示した第1実施形態と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、第1実施形態がトップゲート構造であるのに対し、本実施形態に係る薄膜トランジスタ30Xはボトムゲート構造を有していることである。即ち、薄膜トランジスタ30Xは下から順にゲート電極5、ゲート絶縁膜4及び半導体薄膜2を重ねた構造となっている。半導体薄膜2をレーザアニールにより非晶質から多結晶に転換する場合、その下方に金属下地膜20が延在している為、ボトムゲート電極5の介在に関わらずほぼ均一なエネルギー条件で半導体薄膜2を多結晶化できる。薄膜トランジスタ30Xを構成する半導体薄膜2は全てクロムなどからなる金属下地膜20の上にあるのでレーザビーム照射の条件を最適化しやすい。よって、半導体薄膜2のキャリア移動度を大きくでき且つ結晶の均一性もよくなる。なお、この薄膜トランジスタ30Xは所謂LDD構造となっており、P型のチャネル領域とN+型のソース領域7との間にN型のLDD領域(低濃度不純物領域)7aが介在している。同様に、チャネル領域とN+型のドレイン領域8との間にN型の低濃度不純物領域7bが介在している。

【0017】最後に、図7は本発明に従った薄膜半導体装置を駆動基板として組み立てられたアクティブマトリクス型液晶表示装置の一例を示す模式的な斜視図である。この表示装置は駆動基板1と対向基板60との間に液晶などからなる電気光学物質50を保持した構造となっている。駆動基板1には画素アレイ部と周辺回路部とが集積形成されている。周辺回路部は垂直走査回路41と水平走査回路42とに分かれている。また、駆動基板1の上端側には外部接続用の端子電極47も形成されている。各端子電極47は配線48を介して垂直走査回路41及び水平走査回路42に接続している。画素アレイ部には互いに交差するゲート配線43と信号配線44が形成されている。ゲート配線43は垂直走査回路41に接続し、信号配線44は水平走査回路42に接続している。両配線43、44の交差部には画素電極14とこれを駆動する薄膜トランジスタ30Xとが形成されている。一方、対向基板60の内面には図示しないが対向電極が形成されている。場合によっては、寄生容量を削減

する為、垂直走査回路41及び水平走査回路42と整合する部分から対向電極をあらかじめ除去しておいてよい。

【0018】

【発明の効果】以上説明したように、本発明によれば、ガラスなどからなる絶縁基板と薄膜トランジスタとの間に金属下地膜を介在させている。薄膜トランジスタを構成する半導体薄膜は全てクロムなどからなる金属下地膜の上に位置するので、多結晶化の為のレーザ照射の条件が最適化し易い。よって、移動度を大きくでき結晶の均一性もよくなる。また、絶縁基板と薄膜トランジスタの間に金属下地膜が介在する為、薄膜トランジスタは電気的に遮蔽されているので信頼性がよくなる。金属下地膜をブラックマトリクスに使うことで、対向基板との位置合わせが必要なくなり、画素の開口率が上げられる。特に、トップゲート構造の薄膜トランジスタの場合、半導体薄膜の活性層は上下から金属ゲート電極及び金属下地膜で挟まれた構造となり、強い光源光を照射しても薄膜トランジスタの特性変動がない。

【図面の簡単な説明】

【図1】本発明に係る表示用薄膜半導体装置の第1実施形態を示す部分断面図である。

【図2】第1実施形態の全体平面図である。

【図3】第1実施形態の拡大部分平面図である。

【図4】本発明に係る表示用薄膜半導体装置の製造工程図である。

【図5】同じく製造工程図である。

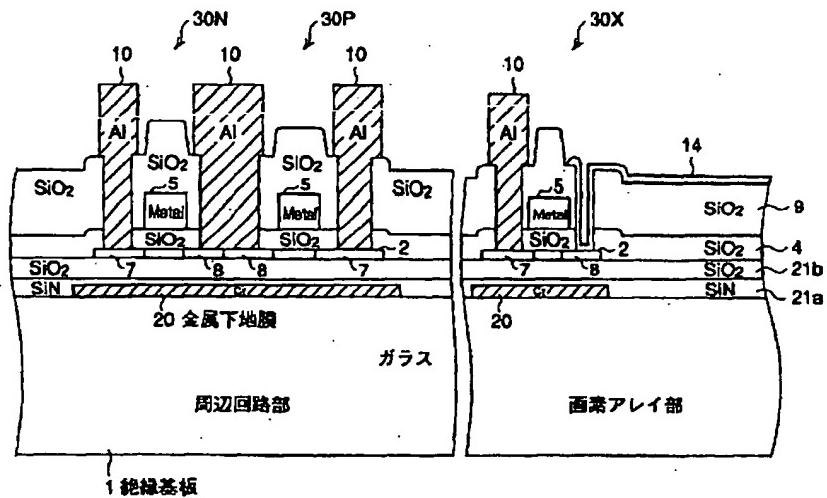
【図6】本発明に係る表示用薄膜半導体装置の第2実施形態を示す部分断面図である。

【図7】本発明に係る表示用薄膜半導体装置を用いて組み立てられたアクティブマトリクス表示装置の一例を示す模式的な斜視図である。

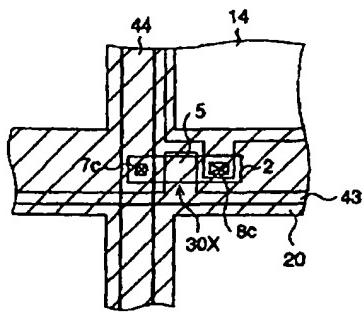
【符号の説明】

1 … 絶縁基板、2 … 半導体薄膜、4 … ゲート絶縁膜、5 … ゲート電極、7 … ソース領域、8 … ドレイン領域、9 … 層間絶縁膜、10 … 配線電極、14 … 画素電極、20 … 金属下地膜

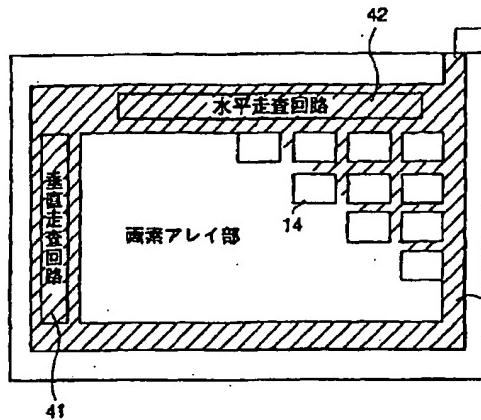
【図1】



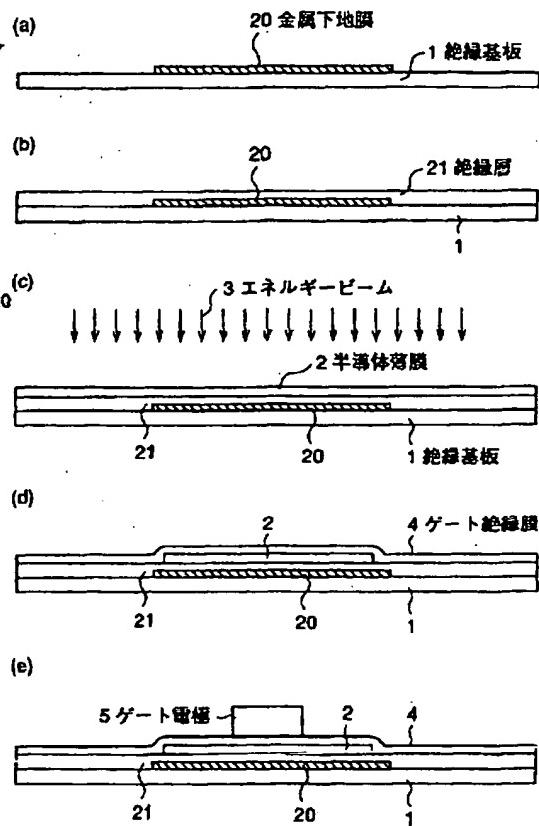
【図3】



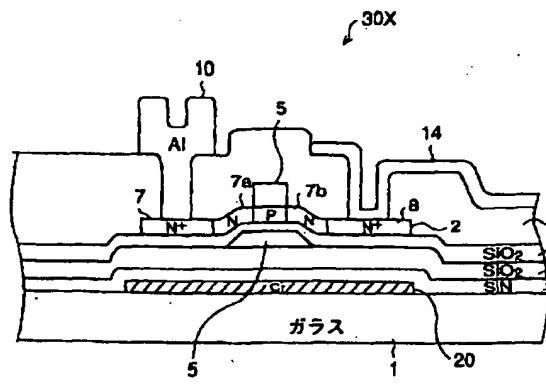
【図2】



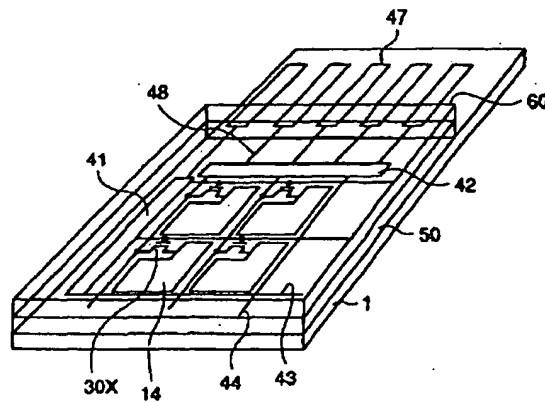
【図4】



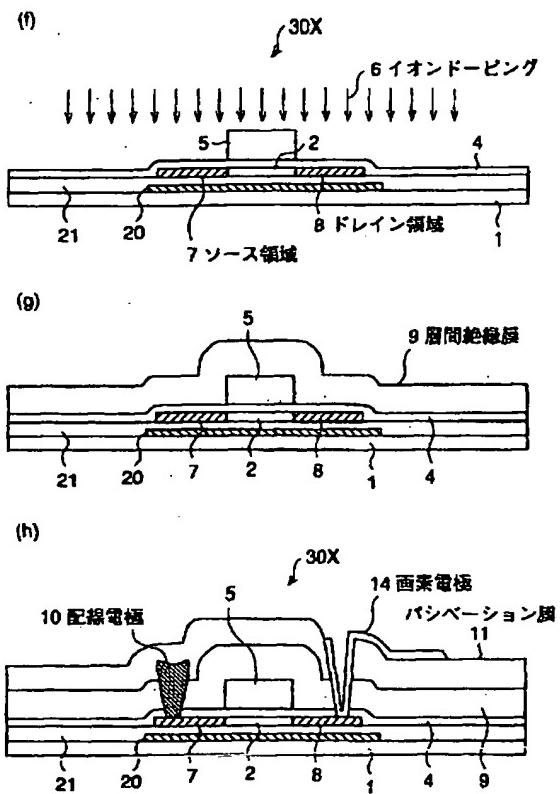
【図6】



【図7】



【図5】



DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

05906899 **Image available**

THIN-FILM SEMICONDUCTOR DEVICE FOR DISPLAY

PUB. NO.: 10-189999 [JP 10189999 A]

PUBLISHED: July 21, 1998 (19980721)

INVENTOR(s): HAYASHI HISAO

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 08-355286 [JP 96355286]

FILED: December 20, 1996 (19961220)

INTL CLASS: [6] H01L-029/786; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R044
(CHEMISTRY -- Photosensitive Resins); R096 (ELECTRONIC
MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS --
Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS
-- Ion Implantation)

ABSTRACT

PROBLEM TO BE SOLVED: To shield a thin film transistor which is integrated and formed into a thin-film semiconductor device for display from an insulation board electrically, and also carry out optical shielding.

SOLUTION: A thin-film semiconductor device for display is provided with a metallic foundation film 20, thin film transistors 30N, 30P, 30X and pixel electrode 14. The metallic foundation film 20 is formed on an insulation board 1 to a specified pattern. Each thin-film transistor is positioned on the metallic foundation film 20 through insulation layer 21a, 21b and has a laminated structure, wherein the semiconductor thin film 2 and a gate electrode 5 are laminated with a gate insulating film 4 between. The pixel electrode 14 is connected to a thin-film transistor 30X. The metallic foundation film 20 is held at a fixed potential and is patterned to enclose a peripheral of each pixel electrode 14 which is arranged in matrix. The semiconductor thin film 2 has a polycrystalline structure, which is crystallized by irradiation of a laser beam.

Family list

2 family member for:

JP10189999

Derived from 1 application.

1 THIN-FILM SEMICONDUCTOR DEVICE FOR DISPLAY

Publication Info: JP3468003B2 B2 - 2003-11-17

JP10189999 A - 1998-07-21

Data supplied from the **esp@cenet** database - Worldwide